

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09326694 A**

(43) Date of publication of application: **16 . 12 . 97**

(51) Int. Cl.

**H03L 7/099**  
**H04L 7/033**

(21) Application number: **08144013**

(71) Applicant: **HITACHI DENSHI LTD**

(22) Date of filing: **06 . 06 . 96 .**

(72) Inventor: **ADACHI SATOSHI**

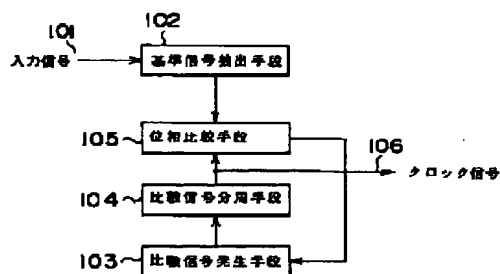
(54) **CLOCK SIGNAL GENERATION CIRCUIT**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To easily deal with an optional signal transmission speed by adding a comparison signal divider means to a clock signal generation circuit to produce a signal of a desired frequency.

SOLUTION: A reference signal extraction means 102 extracts a reference signal from an input signal 101, and a comparison signal generation means 103 produces a comparison signal for the phase comparison by using the output of a phase comparison means 105 as its input. The comparison signal is divided by a phase signal divider means 104 so as to secure the same frequency as the reference signal, and these divided comparison signals are supplied to the means 105. The means 105 compares the phase of the reference signal obtained by the means 102 with the phases of comparison signals divided by the means 104. These comparison results are fed back to the means 103. Then a clock signal 106 which is synchronous with the signal 101 is obtained by the means 104 via the function of a phase locked loop. Thus, it's possible to produce a clock signal in response to its optional transmission speed by using a divider of high accuracy to construct a PLL circuit.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-326694

(43) 公開日 平成9年(1997)12月16日

(51) Int.Cl. <sup>8</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 L	7/099		H 0 3 L 7/08	F
H 0 4 L	7/033		H 0 4 L 7/02	B

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平8-144013

(22) 出願日 平成8年(1996)6月6日

(71) 出願人 000005429

日立電子株式会社

東京都千代田区神田和泉町1番地

(72) 発明者 安達 智

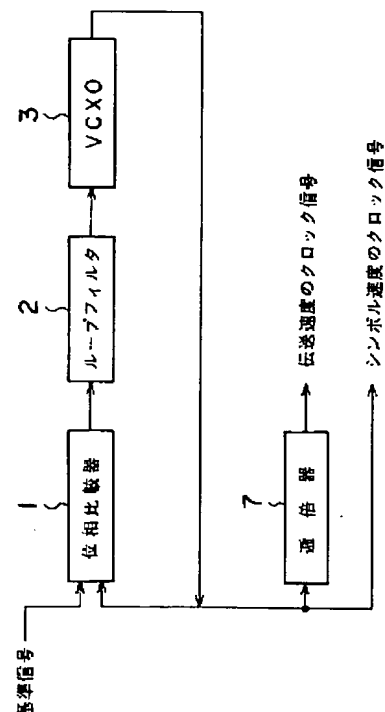
東京都小平市御幸町32番地 日立電子株式会社小金井工場内

(54) 【発明の名称】 クロック信号生成回路

(57) 【要約】

【課題】 デジタル信号伝送装置において、任意の伝送速度に対応可能なクロック信号を生成する回路を提供する。

【解決手段】 時系列信号を位相の基準とし、比較信号生成のための発振器に電圧制御型水晶発振器3を用いてPLL回路を構成するクロック信号生成回路において、前記発振器に、発振出力波の位相を累算することにより所望の周波数の信号を発生せしめ得る手段4を付加して、時系列信号から符号識別のためのクロック信号を生成する。



1

2

**【特許請求の範囲】**

**【請求項 1】** デジタル信号伝送装置のクロック信号生成回路であって、時系列信号を位相の基準とし、電圧制御型発振器出力を前記位相の基準に追従させるため、位相比較をおこない、位相比較の結果を前記電圧制御型発振器の制御入力として帰還するものにおいて、比較信号生成のための発振器に、発振出力波の位相を累算することにより所望の周波数の信号を発生せしめ得る手段を付加して、時系列信号から符号識別のためのクロック信号を生成することを特徴とするクロック信号生成回路。

**【請求項 2】** 請求項 1 において、発振出力波の位相を累算することにより所望の周波数の信号を発生せしめ得る手段はダイレクト・デジタル波形シンセサイザであることを特徴とするクロック信号生成回路。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、デジタル信号伝送装置のクロック信号を生成する回路に関するものである。

**【0002】**

**【従来の技術】** デジタル信号の伝送装置において、送信側の変調器では、多値変調のため、直列の信号を並列の信号に変換するためのタイミング信号としてシンボル速度のクロック信号が、またデジタルフィルタや D/A 変換器用のタイミング信号としてシンボル速度の整数倍のクロック信号が必要である。受信側の復調器においても同様に、復調後にデジタル信号を並列信号から直列信号に変換するためのタイミング信号としてシンボル速度のクロック信号、また A/D 変換器やデジタルフィルタのタイミング信号としてシンボル速度の整数倍のクロック信号が必要である。

**【0003】** これらのクロック信号は、送信側では帯域圧縮器などの信号源側からデータ信号とは別に、変調器に供給される場合と、変調器から信号源側に供給する場合がある。あるいは、信号源側からはデータ信号のみが送られ、クロック信号は変調器においてデータ信号中から抽出しなければならない場合もある。また、受信側では、復調したデータ信号から波形自乗法等の手段でシンボル速度のスペクトラムを抽出してシンボル速度の信号を生成する。クロック信号を得るには上述のように得た信号を、位相比較のための基準信号として用い、電圧制御型の水晶発振器出力等を位相比較のための比較信号とし、その比較結果を電圧制御型水晶発振器の制御入力とするフェーズ・ロックド・ループ形式の回路を形成して当該クロック信号を得ることが一般的である。

**【0004】** 従来より、デジタル信号の変調または復調時のクロック信号を生成する回路の比較信号発生部には、発振周波数が安定しており、また発振周波数の純度が良いなどの理由により電圧制御型の水晶発振回路を用いている。図 3 は従来技術の例を示すブロック図で、デジタ

ル信号伝送装置の復調器に使用されるクロック信号生成回路の主要部分を示すものである。1 は位相比較器、2 はループフィルタ、3 は電圧制御型の水晶発振器であり、この水晶発振器 3 の出力は位相比較器 1 に帰還されておりいわゆるフェーズ・ロックド・ループを形成している。

**【0005】** 以下この動作について説明する。復調されたデジタル信号は位相比較のための基準信号として、位相比較器 1 に与えられる。一方、位相比較器には後述の電圧制御型水晶発振器 3 で生成された位相比較のための比較信号が供給される。位相比較器 1 で得られた、基準信号と比較信号の位相比較の結果はループフィルタ 2 を介して、位相変動量が抽出され、電圧制御型水晶発振器 3 の制御電圧として供給される。フェーズ・ロックド・ループの働きにより、電圧制御型水晶発振器 3 の出力が入力した基準信号に同期したクロック信号となる。なお、7 は通倍器でシンボル速度のクロック信号を通倍して A/D 変換器やデジタルフィルタ用のクロック信号や、あるいは並列直列変換のための伝送速度のクロック信号を生成する。

**【0006】** 一般的には、水晶発振回路の周波数可変範囲はきわめて狭い。このため、異なる伝送速度のデジタル信号を伝送しようとするとき、その都度、比較信号発生回路の水晶発振回路の水晶片を、対応する周波数の水晶片に交換しなければならないという欠点があった。この場合、異なる伝送速度のデジタル信号の伝送に対応するために、比較信号の発振素子として水晶片ではなく、L、C、バリキャップ等の素子で構成された発振周波数範囲が広い電圧制御型の発振回路で構成することも考えられるが、発振周波数範囲を広帯域にすることはできるが、スプリアス等が多くなるため、実用に供することは難しい。したがって、従来の方法では任意の伝送速度の信号を取り扱うことは困難であった。

**【0007】**

**【発明が解決しようとする課題】** 上記従来技術では、伝送するデジタル信号の伝送速度を変えようとした場合、比較信号発生回路の水晶片の発振周波数範囲を超えるため、その都度、水晶片を交換するなどの対応をしなければならないという欠点があった。基本的には一種類の伝送速度のみしか使用できず、もし、他の速度の信号を伝送しようとする場合、あらかじめ、数種類的水晶片を基板上に搭載して、スイッチ等で切り替えるか、あるいは基板上に実装された水晶片を着脱できるような構造としておき、必要な都度、水晶片を交換するような手順が必要となり、実用的ではなかった。本発明の目的は、上記従来の欠点を除き、任意の伝送速度に容易に対応可能なクロック信号生成回路を提供することにある。

**【0008】**

**【課題を解決するための手段】** 本発明は、上記目的を達成するために、比較信号生成のための発振器に、発振出

力波の位相を累算することにより所望の周波数の信号を発生せしめ得る比較信号分周手段を付加して、時系列信号から符号識別のためのクロック信号を生成するようにしたものである。

【0009】図1は本発明の全体構成を示すブロック図であり、いわゆる、フェーズ・ロックド・ループを形成している。図において、101は入力信号、102は入力信号101から位相比較の基準となる信号を抽出する基準信号抽出手段である。103は位相比較信号発生手段で比較信号を発生する。比較信号は通常基準信号より高い周波数の信号として出力されるため、分周手段104で分周され位相比較手段105に供給される。位相比較手段105により、基準信号抽出手段102で得た基準信号と分周手段104で得た分周された比較信号との位相が比較される。106は比較信号分周手段104により得られたクロック出力信号である。

【0010】本発明の動作について説明する。図において、入力信号101から基準信号抽出手段102により基準信号を抽出する。入力信号は、例えば受信装置ではデータ信号であり、クロック信号のように連続していないため強震回路等を用いて連続信号として抽出する。位相比較のための比較信号発生手段103では、後述の位相比較手段105の出力を入力とし比較信号を発生する。比較信号は基準信号周波数と同一周波数となるよう比較信号分周手段104により分周され、位相比較手段105に供給される。位相比較手段105により基準信号抽出手段102で得た基準信号と、比較信号分周手段104で得た分周された比較信号との位相が比較される。比較の結果は比較信号発生手段103に帰還される。106は比較信号分周手段104により得られたクロック信号であり、上述したようなフェーズ・ロックド・ループの働きにより、入力信号に同期したクロック信号が得られる。

【0011】本発明では、比較信号の分周手段として位相を累算して、目的とする周波数の信号を発生せしめ得る手段を用いる。この分周手段によれば、分周の分解能が高く、高精度の周波数に設定できるので、このため任意の周波数のクロック信号を生成することができる。

#### 【0012】

【発明の実施の形態】図2は本発明の一実施例のブロック図で、デジタル信号伝送装置の復調器のクロック信号生成回路に適用したものであり、伝送速度が60Mbps、変調方式は32QAMである。

【0013】以下、本発明について図示の実施例により詳細に説明する。この回路はPLL、いわゆるフェーズ・ロックド・ループを形成した構成となっている。1は位相比較器、2はループフィルタ、3は比較信号発生のための電圧制御型的水晶発振器であり、後述のDDSの周波数源となる。本例では50MHzの発振周波数としている。4は本発明の要点である比較信号の分周器で、

いわゆる、ダイレクト・デジタル波形シンセサイザ（以下、DDSと呼称する。DDSについては例えば「トランジスタ技術」1991年3月号547頁～555頁に記載されている。）である。

【0014】DDSは周波数源において変化する位相を累算することにより、目的とする周波数の離散波形を発生させることができ、累積する位相量を設定により加減することができる。高い分解能を持つ分周器として用いることができる。本例で使用したDDSは、周波数設定レジスタ、位相加算器、正弦波計算機能、D/A変換器を内蔵したものであり、出力としてアナログ信号波形を得ることができる。DDSの分周比は、別途入力される制御信号、すなわち分周比に対応した所定の幅を有するデジタル信号により、周波数レジスタの値を設定することで変えることができる。本例では、伝送装置内に内蔵するマイクロ・コンピュータにより伝送速度に応じて分周比を設定することができるよう構成している。5は低域ろ波器であり、DDS出力の基本波成分のみ通過するように特性が決定されている。6は振幅制限器であり、DDS4の出力であるアナログ信号を後述の逡倍のため振幅制限して、2値のデジタル信号に変換する。7は逡倍器である。シンボル速度のクロック信号を逡倍してA/D変換器やデジタルフィルタ用のクロック信号や、あるいは並列直列変換のための伝送速度のクロック信号を生成する。

【0015】次に、この実施例の動作について説明する。入力した復調されたデジタル信号から、図示しない回路により位相比較のための連続した基準信号が抽出され、位相比較器1に供給される。本例での基準信号の周波数は、伝送速度が60Mbps、32QAMの信号であるので6MHzとなる。また、比較信号発生器としての電圧制御型水晶発振器3の最大発振周波数はDDSの性能（DDSを構成するアキュムレータの動作特性）により決定し、本例では約50MHzとしている。電圧制御型水晶発振器3の出力は、比較信号分周器DDS4の周波数源として供給される。

【0016】DDSは高い周波数源である基準クロックにおいて変化する位相を累算することにより、設定周波数の離散波形を発生させるものである。本発明では前記基準クロックに代えて比較信号を発生する電圧制御型水晶発振器の出力が加えられるようにして、DDSを従来とは異なる方法で用いている。

【0017】DDSの分周比は、分周出力周波数が基準周波数にほぼ一致するよう、約1/8.3に設定している。したがって、DDS出力周波数は約6MHzとなる。DDSの出力は低域ろ波器5で基本波のみ抽出され、振幅制限器6で振幅制限されることにより、アナログ信号が2値のデジタル信号に変換される。振幅制限器6の出力は位相比較器1に与えられる。位相比較器1により位相比較された結果はループフィルタ2を介して積

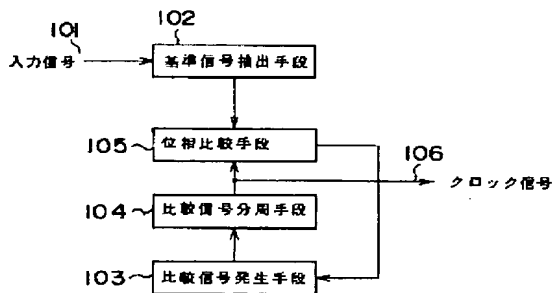
分され、比較信号周波数発生器である電圧制御型水晶発振器3の制御電圧として供給される。

【0018】以上のような動作によりフェーズ・ロックド・ループが形成され、基準信号に同期したクロック信号が振幅制限器6の出力より得られる。本実施例ではこの信号は、シンボル周波数に相当する信号であり、約6MHzとなる。この信号は復調された伝送信号の識別などに用いる。また、同時に振幅制限器6の出力は通倍器7によりシンボル周波数を整数倍に通倍して、A/Dコンバータやデジタルフィルタ、あるいは並列直列変換のクロック信号として用いられる。

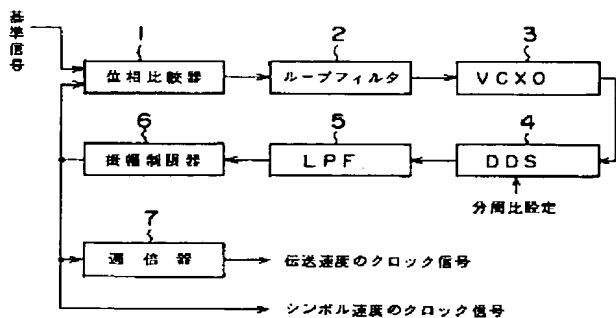
【0019】

【発明の効果】本発明によれば、高精度の分周器であるDDSを用いてPLL回路を構成することにより、任意の伝送速度に対応したクロック信号を生成することがで

【図1】



【図2】



き、伝送の速度を問わない、いわゆるマルチレートでのデジタル信号伝送装置を構成することができる。

【図面の簡単な説明】

【図1】本発明の原理的構成を示すブロック図である。

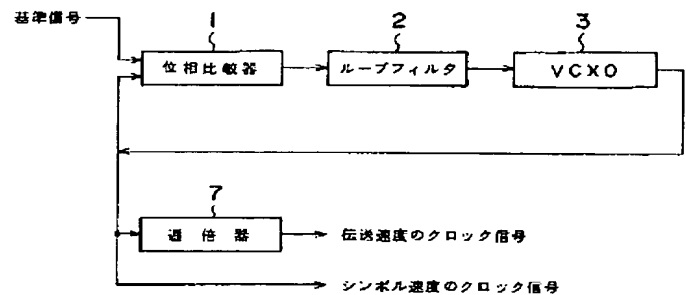
【図2】本発明の一実施例を示すブロック図である。

【図3】従来例を示すブロック図である。

【符号の説明】

- 1 位相比較器
- 2 ループフィルタ
- 3 電圧制御型水晶発振器 (VCXO)
- 4 DDS
- 5 低域ろ波器
- 6 振幅制限器
- 7 通倍器

【図2】



【図3】

